

日本国特許庁

08.10.99

PATENT OFFICE
JAPANESE GOVERNMENT

26 NOV 1999

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年10月14日

出願番号

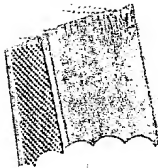
Application Number:

平成10年特許願第291906号

出願人

Applicant(s):

株式会社日立製作所



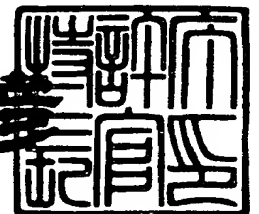
PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年11月12日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3078001

【書類名】	特許願
【整理番号】	A802273
【提出日】	平成10年10月14日
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 27/10
【発明の名称】	半導体装置及びその製造方法
【請求項の数】	7
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立 製作所 日立研究所内
【氏名】	生田目 俊秀
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立 製作所 日立研究所内
【氏名】	鈴木 孝明
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立 製作所 日立研究所内
【氏名】	藤原 徹男
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立 製作所 日立研究所内
【氏名】	東山 和寿
【特許出願人】	
【識別番号】	000005108
【氏名又は名称】	株式会社 日立製作所
【代理人】	
【識別番号】	100091096
【弁理士】	

【氏名又は名称】 平木 祐輔

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 凹凸を有する下地基板上に下部電極、誘電体及び上部電極を積層して形成する半導体装置の製造方法において、

有機金属原料としてシクロペンタジエニル錯体を用いた有機金属化学気相成長法によって 180℃以上 250℃以下で前記下部電極及び上部電極を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、反応ガスとして O_2 、 H_2 、 N_2O 、 O_3 、 CO 及び CO_2 のうちいずれか一種を用い、キャリアガスに対する反応ガスの割合が 1% 以上であることを特徴とする半導体装置の製造方法。

【請求項 3】 凹凸を有する下地基板上に下部電極、誘電体及び上部電極を積層して形成する半導体装置の製造方法において、

前記凹凸を有する下地構造を電極原料の付着率の小さい表面層と付着率の大きい側壁層からなる 2 層構造の絶縁層で構成し、有機金属原料として β -ジケトン錯体を用いた有機金属化学気相成長法によって 300℃以上 500℃以下で前記下部電極及び上部電極を形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、前記 2 層の絶縁層からなる下地構造が MgO/SiO_2 又は Al_2O_3/SiO_2 であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～4 のいずれか 1 項記載の半導体装置の製造方法において、前記上部電極及び下部電極は Ru 、 RuO_2 又は Ru と RuO_2 の混合物であることを特徴とする半導体装置の製造方法。

【請求項 6】 誘電体と前記誘電体に電圧を与える電極とを備える半導体装置において、前記電極は立体構造のアスペクト比（溝深さ／溝幅）が 3 以上の構造上に形成された Ru 、 RuO_2 又は Ru と RuO_2 の混合物からなる薄膜電極であることを特徴とする半導体装置。

【請求項7】 凹凸を有する下地構造の表面及び側面に薄膜を形成する方法において、前記下地構造を薄膜原料の付着率の小さい表面層と付着率の大きい側壁層とを積層した2層構造とすることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、誘電体素子を含む半導体装置及びその製造方法に係わり、特に表面凹凸の大きい基板上にRu, RuO₂又はRu, RuO₂の混合材料からなる電極を均質に堆積させた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体メモリーとして、データの高速書き換えに特徴を持っているDRAM (Dynamic Random Access Memory) がある。このDRAMは、高密度、高集積技術の進歩に伴い、256M、1Gビットの大容量化時代を迎えている。このために、回路構成素子の微細化が要求され、特に情報を蓄積するコンデンサーの微細化が行われている。コンデンサーの微細化の手段としては、誘電体材料の薄膜化、誘電率の高い材料の選択、上下電極と誘電体からなる構造の立体化などが挙げられる。

【0003】

このうち誘電体材料としては、結晶構造がペロブスカイト構造の単一格子であるBST ((Ba/Sr)TiO₃) は、SiO₂/Si₃N₄に比べて大きな誘電率(ε)を有することが知られている。この高誘電体材料を使用する例が、ジャパン・ジャーナル・オブ・アプライド・フィジックス、1995年、5077頁(Jpn. J. Appl. Phys., 34, 5077, 1995)に報告されている。この報告では、BSTを用いた立体構造のアスペクト比(溝深さ/溝幅)が約0.65と非常に緩い条件のために、スパッタ法で上部及び下部電極、誘電体が作製されている。

【0004】

【発明が解決しようとする課題】

上記従来技術においては、下部電極のPt又はRuをスパッタ法で作製してい

るために、凹凸を有する立体構造で段差被覆性が悪く、側壁への付着が表面、底面に比べて小さくなるためにアスペクト比が1以上の高立体素子構造を取れないという問題点があった。

【0005】

本発明は、上記の問題点を解決するためになされたものであり、高集積に伴う高アスペクト比な素子構造で優れた段差被覆性を持つ誘電体素子を含む半導体装置及びその製造方法を提供することにある。

【0006】

【問題点を解決するための手段】

従来は、アスペクト比の小さな立体構造の上にスパッタ法によってRu又はRuO₂又は両者の混合した電極薄膜を作製する報告はあったが、有機金属化学気相成長(MOCVD)法による成膜技術は考慮されていなかった。

本発明者らは、シクロペンタジエニル錯体を用いたMOCVD法により、180℃以上250℃以下の温度範囲で凹凸のある下地基板上に均質なRu又はRuO₂又は両者の混合した電極薄膜を作製できることを見出した。この温度範囲で均質膜が作製できる原理を以下に説明する。

【0007】

本発明に用いられたルテニウムシクロペンタジエニル錯体の結晶構造を図5に示す。5員環とルテニウム金属間に δ 又は π 結合を有しており、結合エネルギーより180℃以上の温度が解離するエネルギーとして必須である。また、この錯体の付着率は、Si系の基板上では180℃以上250℃以下の温度範囲で一定であり、それ以上の温度においては表面のみの分解-付着が優先的に進行する。そのために、凹凸のある下地基板では表面(凸部の上部平面)にのみ膜が形成され、側壁、底面(凸部の下部平面)の膜厚が薄い不均質な膜となる。また、特に300℃より高い温度では、急激な分解反応のために島状結晶となり、コンタクトのとれない荒れた膜質となる。したがって、ルテニウムシクロペンタジエニル錯体を用いたMOCVD法で180℃以上250℃以下の温度範囲で凹凸のある下地基板上に表面、底面、側壁に均質なRu又はRuO₂又は両者の混合した電極薄膜を作製できる。

【0008】

また、発明者らは、 β -ジケトン錯体を用いたMOCVD法で300℃以上500℃以下の温度範囲で、凹凸を有する下地構造を付着率の小さい表面層と付着率の大きい側壁層の2層の絶縁層から構成すれば、Ru又はRuO₂又は両者の混合した電極薄膜を均質に作製できることを見出した。この原理について以下に説明する。

【0009】

本発明に用いられたルテニウム β -ジケトン錯体の結晶構造を図2に示す。6員環の酸素とルテニウム金属間に π 結合を有しており、結合エネルギーより300℃以上の温度で解離を始める。しかし、酸素-炭素間の解離又は酸素-ルテニウム間の解離が同時に進行するために、付着率は小さく表面付近における分解-付着が優先的に進行する。また、500℃以上の温度では、急激な分解反応のために島状結晶となりコンタクトのとれない膜質となる。そこで、図3に示したように、凹凸のある下地構造を電極原料の付着率の小さい表面層31と付着率の大きい側壁層32からなる2層構造の絶縁層、例えばMgO/SiO₂又はAl₂O₃/SiO₂とし、この凹凸のある下地構造上に、ルテニウム β -ジケトン錯体を用いたMOCVD法で、300℃以上500℃以下の温度範囲で表面、底面、側壁に均質なRu又はRuO₂又は両者の混合した電極薄膜を作製できる。

【0010】

本発明は、このような検討に基づいてなされたものであり、凹凸を有する下地基板上に下部電極、誘電体及び上部電極を積層して形成する半導体装置の製造方法において、有機金属原料としてシクロペンタジエニル錯体を用いた有機金属化学気相成長法によって180℃以上250℃以下で下部電極及び上部電極を形成することを特徴とする。

【0011】

シクロペンタジエニル錯体はRu原料として用いられ、特にジシクロペンタジエニルルテニウムが好ましい。下部電極及び上部電極は、Ru、RuO₂又はRuとRuO₂の混合物からなる薄膜として形成される。

反応ガスとして、O₂、H₂、N₂O、O₃、CO及びCO₂のうちいずれか一種

を用いることで、原料からの分解反応が促進され、 -180°C 以上 250°C 以下の低温形成ができる。特に、反応ガスとキャリアガス (Ar , He 又は N_2 ガス) との混合ガスにおいて、キャリアガスに対する反応ガスの割合は 1% 以上であることが好ましい。

【0012】

この特徴によれば、凹凸のある下地基板上で、表面、底面及び側壁へも均質に電極薄膜を作製することができる。したがって、アスペクト比 (溝深さ/溝幅) 3 以上の高アスペクト比な立体構造を有する上部電極/誘電体/下部電極からなる高集積な誘電体素子を得ることができる。

また、本発明は、凹凸を有する下地基板上に下部電極、誘電体及び上部電極を積層して形成する半導体装置の製造方法において、凹凸を有する下地構造を電極原料の付着率の小さい表面層と付着率の大きい側壁層からなる 2 層構造の絶縁層で構成し、有機金属原料として β -ジケトン錯体を用いた有機金属化学気相成長法によって 300°C 以上 500°C 以下で下部電極及び上部電極を形成することを特徴とする。

【0013】

β -ジケトン錯体は Ru 原料として用いられ、特にジビバロイルルテニウムが好ましい。下部電極及び上部電極は、 Ru , RuO_2 又は Ru と RuO_2 の混合物からなる薄膜として形成される。

このとき反応ガスとして、 O_2 , H_2 , N_2O , O_3 , CO 及び CO_2 のうちいずれか一種を用い、キャリアガスとして Ar , He 及び N_2 のうちいずれか一種を用いることで、 300°C 以上 500°C 以下の温度で分解反応が促進され、均質な電極薄膜を作製することができる。反応ガスとキャリアガスの混合ガスにおいて、キャリアガスに対する反応ガスの割合は 0% 以上あればよい。すなわち、反応ガスは使用してもよいし、使用しなくてもよい。

【0014】

この特徴によると、凹凸を有する下地構造を付着率の小さい表面層と大きい側壁層の 2 層の絶縁層から構成し、蒸着しづらい側壁にも電極薄膜を形成することを可能としたので、 Ru , RuO_2 又は Ru と RuO_2 の混合物からなる均一な膜

厚の電極薄膜を作製できる。したがって、高集積に伴うアスペクト比3以上の高アスペクト比な素子構造で優れた段差被覆性を持つ誘電体素子を含む半導体装置を得ることができる。特に、2層の絶縁層からなる下地構造が MgO/SiO_2 又は $\text{Al}_2\text{O}_3/\text{SiO}_2$ である場合に、原料の付着率の差により均一な電極薄膜を作製できる。

【0015】

また、本発明は、誘電体とその誘電体に電圧を与える電極とを備える半導体装置において、前記電極は立体構造のアスペクト比（溝深さ／溝幅）が3以上の構造上に形成された Ru 、 RuO_2 又は Ru と RuO_2 の混合物からなる薄膜電極であることを特徴とする。

この半導体装置は、前述のシクロペンタジエニル錯体のMOCVD法で作製された Ru 、 RuO_2 又は Ru と RuO_2 の混合物からなる均一な膜厚の電極薄膜、あるいは前述の β -ジケトン錯体のMOCVD法で作製された Ru 、 RuO_2 又は Ru と RuO_2 の混合物からなる均一な膜厚の電極薄膜を備える上部電極／誘電体／下部電極からなる高集積な誘電体素子を含むことができる。前記電極薄膜は、凹凸のある下地基板上で、表面、底面及び側壁へ均質に成膜されるので、高アスペクト比な立体構造を有する高集積、かつ健全に機能する誘電体素子を得ることができる。DRAMなどの半導体装置についてこのような誘電体素子を用いれば、大容量化が可能になる。

【0016】

本発明は、また、凹凸を有する下地構造の表面及び側面に薄膜を形成する方法において、下地構造を薄膜原料の付着率の小さい表面層と付着率の大きい側壁層とを積層した2層構造とすることを特徴とする。図3にて説明した2層の下地構造の利用はMOCVD法による電極としての Ru 薄膜形成の場合のみに限られるものではなく、スパッタ法、真空蒸着法、MBE法などの成膜法においても、表面のみに優先的に膜が付着しやすい場合に、表面、側壁及び底面に均質な膜を形成するための方法として一般に利用可能である。

【0017】

【発明の実施の形態】

以下、図面を参照して本発明による半導体装置の製造方法を具体的に説明する。

【実施の形態1】

図5に示す結晶構造で、 $R=H$ の場合のジスシクロペンタジエニルルテニウム($Ru Cp_2$) 錯体を用いた半導体装置の作製方法を以下に示す。図4は、本実施の形態で製造された半導体装置に含まれる誘電体素子の断面図である。

【0018】

まず、Siウエハ41を300℃に加熱し、熱酸化で形成した SiO_2 層44にコンタクトホールを開け、次にSiプラグ42を作製する。次にスパッタ法によりSiプラグ42上に厚さ100ÅのTiN層のバリア層43を作製した。さらにTEOS原料を用いたプラズマCVD法により、厚さ8000Åの SiO_2 層45を形成した後、上記コンタクトホールを中心にして、径2400Åの溝を加工して凹凸のある下地基板を作製した。この立体構造のアスペクト比（溝深さ／溝幅）は、3.33である。

【0019】

この下地基板上に下部電極46を作製した。下部電極46を作製するために、 $Ru Cp_2$ 錯体をTHF（テトラヒドロフラン）溶媒に0.05～0.25mol/lの濃度で調合してCVD原料とした。CVD原料は液体マスフローコントローラーを用いて0.1～3sccmの速度で供給した。気化器の温度を80～150℃に設定してCVD原料を一気に液体からガスにした後、Arガス198～500sccmで搬送した。次にCVD／Arガスと酸素ガス2～800sccmと混合した後、反応容器に導入した。反応容器の圧力を0.01～50torrとし、成膜温度を180℃以上250℃以下として1～20min成膜して、膜厚20～30nmを得た。

【0020】

得られた膜をX線回折測定した結果、 O_2/Ar 比が1～25%ではRu膜、25～50%ではRu／ RuO_2 混合膜、50～400%では RuO_2 膜であるこ

とが分かった。また、 O_2/Ar 比が400%以上であっても RuO_2 の形態であった。ちなみに、 $O_2/Ar=0\%$ の場合には、粒状結晶となり不均質な膜質であった。

【0021】

図1は、 O_2/Ar 比が5%の場合に得られた Ru 膜の断面SEM像である。表面、底面、側壁にも均質に Ru 膜が形成されており、膜のステップカバーレッジ（膜側壁／膜表面）が100%であることが分かった。また、膜の表面粗さは $\pm 10 \text{ \AA}$ 以下と非常に滑らかな膜質でもあった。比抵抗測定を行った結果、室温で $\rho = 50 \mu\Omega / \text{cm}^2$ と低抵抗であった。

【0022】

次に、下部電極46上に誘電体47として $(Ba, Sr)TiO_3$ (BST)をMOCVD法により作製した。ジビバロイルメタナートバリウム $Ba(dpm)_2$ 、 $Sr(dpm)_2$ 、 $Ti(O-i-Pr)_2(dpm)_2$ を出発原料に用いて、各々をTHF溶媒に0.05~0.25 mol/lの濃度で調合してCVD原料とした。各々のCVD原料について、液体マスフローコントローラーで0.1~3 sccmの速度で250℃に設定した気化器に供給した。 Ar キャリアガス200 sccmでCVD原料ガスを反応容器に導入すると共に酸素ガス5~100 sccmも反応容器に導入した。反応容器の圧力を0.01~50 torrとし、成膜温度を420℃として3 min成膜して、BST薄膜を30 nm成膜した。

【0023】

次に、 N_2 又は Ar ガス中700℃で30~60 sec熱処理して結晶性を向上させた。この誘電体47上に上部電極48を形成した。上記下部電極46の形成と同一方法、同一条件で成膜を行い、アスペクト比6.17の凹凸上にステップカバーレッジが100%の均質な Ru 薄膜を形成できた。得られた誘電体素子の1 Vにおける比誘電率 ϵ は300と非常に優れた電気特性を示した。

【0024】

$R=H$ の場合のジスシクロペンタジエニルルテニウム錯体の他に、 $R=CH_3$ のジス（メチルシクロペンタジエニル）ルテニウム、 $R=C_2H_5$ のジス（エチル

シクロペンタジエニル)ルテニウム、 $R = C_3H_7$ のジス(プロチルシクロペンタジエニル)ルテニウム及び $R = C_4H_9$ のジス(ブチルシクロペンタジエニル)ルテニウムを用いた場合においても、上記と同様の方法で下部電極及び上部電極に均質なRu薄膜を形成することができた。

【0025】

また、上記では反応ガスとして O_2 を用いたが、 H_2 、 N_2O 、 O_3 、 CO 及び CO_2 のうちいずれか一種を用いても均質なRu薄膜を形成することができた。さらに、キャリアガスとしてArガスについて説明したが、He又は N_2 ガスを用いてもよく、いずれの組み合わせにおいても反応ガスとキャリアガスとの比が1～25%ではRu膜が、25～50%ではRu/RuO₂混合膜が、50～400%あるいはそれ以上ではRuO₂膜が形成されることが分かった。

【0026】

〔実施の形態2〕

図2に示すβ-ジケトン錯体の結晶構造で $R' = C(CH_3)_3$ のジビバロイルメタナートルテニウム($Ru(dpm)_3$)錯体を用いた半導体装置の作製方法を以下に示す。図6は、本実施の形態で製造された半導体装置に含まれる誘電体素子の断面図である。

【0027】

実施の形態1と同様に、Siウエハ61を熱酸化して形成したSiO₂層64にコンタクトホールを開け、Siプラグ62を作製し、次にTiNバリア層63を形成した後、SiO₂層の絶縁層65をプラズマCVD法により厚さ7800Å作製した。次に、Mgをターゲットに用いたスパッタリング法で絶縁層66としてMgO層を成膜した。スパッタガスは酸素とアルゴンの1:1混合ガス、成膜圧力は2Pa、RFパワーは200Wとし、膜厚200Åを得た。コンタクトホールを中心にして、径2400Åの溝を加工して凹凸のある下地基板を作製した。この立体構造のアスペクト比は、3.33である。

【0028】

この下地基板上に下部電極67を作製した。下部電極67を作製するために、図2のβ-ジケトン錯体の結晶構造で $R' = C(CH_3)_3$ のジビバロイルメタナ

ートルテニウム ($\text{Ru}(\text{dpm})_3$) を THF 溶媒に $0.05 \sim 0.25 \text{ mol/l}$ の濃度で調合して CVD 原料とした。CVD 原料は液体マスフローコントローラーを用いて $0.1 \sim 3 \text{ sccm}$ の速度で供給した。気化器の温度を $100 \sim 200^\circ\text{C}$ に設定して CVD 原料を一気に液体からガスにした後、Ar ガス $198 \sim 500 \text{ sccm}$ で搬送した。次に CVD/Ar ガスと酸素ガス $0 \sim 800 \text{ sccm}$ と混合した後、反応容器に導入した。反応容器の圧力を $0.01 \sim 50 \text{ torr}$ とし、成膜温度を 300°C 以上 500°C 以下として $1 \sim 20 \text{ min}$ 成膜して、膜厚 $20 \sim 30 \text{ nm}$ を得た。

【0029】

得られた膜を X 線回折測定した結果、 O_2/Ar 比が $0 \sim 25\%$ 以下では Ru 膜、 $25 \sim 50\%$ 以下では Ru/RuO₂ 混合膜、 $50 \sim 400\%$ あるいはそれ以上では RuO₂ 膜であることが分かった。 O_2/Ar 比が 0% の場合に得られた膜厚 20 nm の Ru 膜を断面 SEM 観察した結果より、表面、底面、側壁にも均質に Ru 膜が形成されており、膜のステップカバレッジ（膜側壁／膜表面）が約 100% であることが分かった。また、膜の表面粗さは $\pm 8 \text{ \AA}$ 以下と非常に滑らかな膜質でもあった。比抵抗測定を行った結果、室温で $\rho = 50 \mu\Omega/\text{cm}^2$ と低抵抗であった。

【0030】

次に、下部電極 67 上に誘電体 68 として BST を、MOCVD 法により実施の形態 1 と同様の方法で膜厚 30 nm 作製した。次に、 N_2 又は Ar ガス中 700°C で $30 \sim 60 \text{ sec}$ 熱処理して結晶性を向上させた。この誘電体 68 上に上部電極 69 を形成した。上部電極 69 の形成は、下部電極 67 の形成と同一方法、同一条件で成膜を行い、アスペクト比 6.17 の凹凸上にステップカバレッジが 100% の均質な Ru 薄膜を形成できた。得られた誘電体素子の 1 V における比誘電率 ϵ は 300 と非常に優れた電気特性を示した。

【0031】

絶縁層 66 として MgO の代わりに Al をターゲットにしたスパッタリング法により作製した Al_2O_3 層を用いても、同様の均質な Ru 薄膜を作製できた。

$\text{R} = \text{C}(\text{CH}_3)_3$ の場合のジビバロイルメタナートルテニウム錯体の他に、R

$\equiv\text{CH}_3$ のアセチルアセトナートルテニウム、 $\text{R}=\text{C-F}_3$ のヘキサフルオロアセチルアセトナートルテニウムを用いた場合においても、上記と同様の方法で下部電極及び上部電極に均質なRu薄膜を形成することができた。

【0032】

また、反応ガスとして O_2 を用いたが、 H_2 、 N_2O 、 O_3 、 CO 及び CO_2 のうちいずれか一種を用いても均質なRu薄膜を形成することができた。さらに、キャリアガスとしてArガスについて説明したが、He又は N_2 ガスを用いてもよく、いずれの組み合わせにおいてもキャリアガスに対する反応ガスの比が0～25%ではRu膜が、25～50%ではRu/RuO₂混合膜が、50～400%あるいはそれ以上ではRuO₂膜が形成されることが分かった。

【0033】

〔実施の形態3〕

本発明の第3の実施の形態について、図7を用いて説明する。図7は、本実施の形態で製造された半導体装置に含まれる誘電体素子の断面図である。

【0034】

実施の形態1と同様に、Siウエハ71を熱酸化して形成したSiO₂層74にコンタクトホールを開け、Siプラグ72を作製し、次にTiNバリア層73を形成した後、下部電極75としてRuをターゲットに用いたスパッタリング法でRu層を成膜した。スパッタガスはアルゴンガス、成膜圧力は2Pa、RFパワーは1200Wとし、膜厚5000Åを得た。次に、コンタクトホールを中心にして台形状に加工して凹凸のある下部電極75を形成した。この立体構造のアスペクト比は、3.0である。

【0035】

次に、下部電極75上に誘電体76としてBSTをMOCVD法により実施の形態1と同様の方法で膜厚30nm作製した。次に、 N_2 又はArガス中700℃で30～60sec熱処理して結晶性を向上させた。この誘電体76上に上部電極77を形成した。上部電極77は、 RuCp_2 /THF原料を用いたCVD法により、実施の形態1と同様の条件で膜厚20nmのRu又はRuO₂又は両者の混合薄膜を作製することで行った。得られた誘電体素子の1Vにおける比誘

電率 ϵ は 280 と非常に優れた電気特性を示した。

【0036】

実施の形態 1～3 までの上部電極及び下部電極形成のための MOCVD 法には THF 溶媒を用いたが、原料が溶解できる材料であれば溶媒には特に限定はなく、例えばトルエン、エーテルでも問題ない。

また、実施の形態 1～3 で説明した上部電極及び下部電極の形成方法は液体原料を出発とした MOCVD 法であるが、固体原料からの昇華法による原料ガス供給法又は液体原料のバブリング法による原料ガス供給法であっても同様の効果が得られた。

【0037】

【発明の効果】

本発明によると、高集積に伴う高アスペクト比な素子構造で優れた段差被覆性を持つ誘電体素子を含む半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の O_2/Ar 比が 5% の場合に得られた Ru 膜の断面 SEM 像。

【図 2】

β -ジケトン錯体の結晶構造図。

【図 3】

2 層の絶縁層からなる下地構造を示す断面図。

【図 4】

本発明によって製造された半導体装置に含まれる誘電体素子の一例の断面図。

【図 5】

シクロペンタジエニル錯体の結晶構造図。

【図 6】

本発明によって製造された半導体装置に含まれる誘電体素子の他の例の断面図。

【図 7】

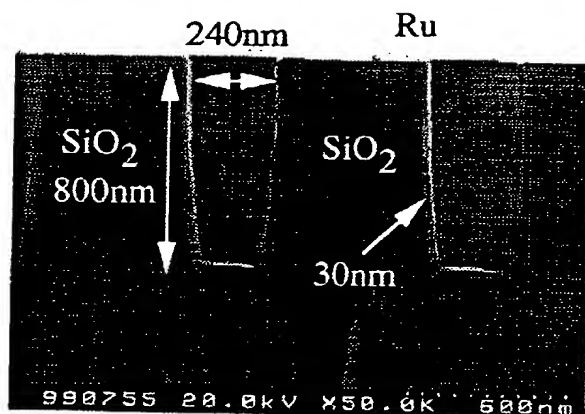
本発明によって製造された半導体装置に含まれる誘電体素子の他の例の断面図。

【符号の説明】

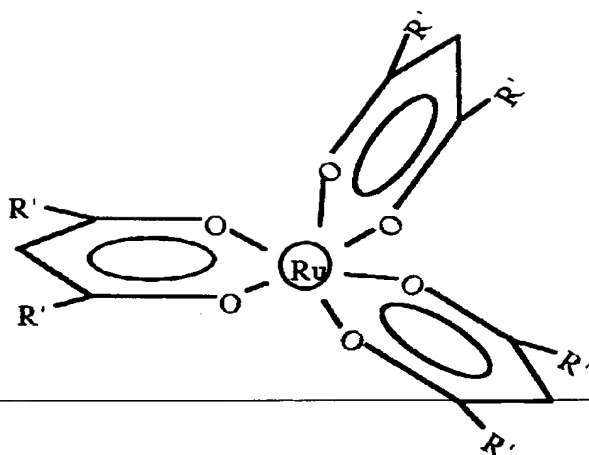
31…電極原料の付着率の小さい表面層、32…電極原料の付着率の大きい側壁層、41…Siウエハ、42…Siプラグ、43…バリア層、44, 45…SiO₂層、46…下部電極、47…誘電体、48…上部電極、61…Siウエハ、62…Siプラグ、63…バリア層、64, 65…SiO₂層、66…絶縁層(Mg層)、67…下部電極、68…誘電体、69…上部電極、71…Siウエハ、72…Siプラグ、73…バリア層、74…SiO₂層、75…下部電極、76…誘電体、77…上部電極

【書類名】 図面

【図 1】

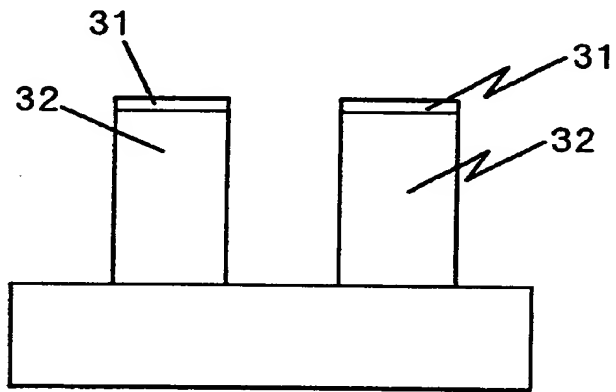


【図 2】

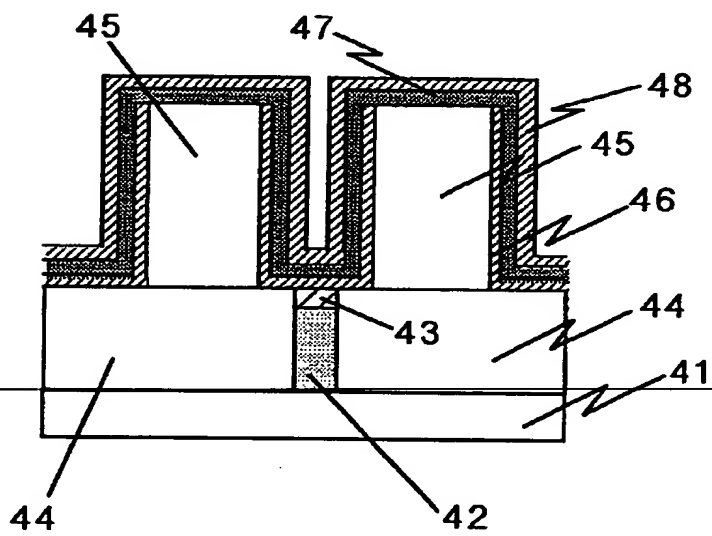


$R = C(CH_3)_3, CH_3, CF_3$

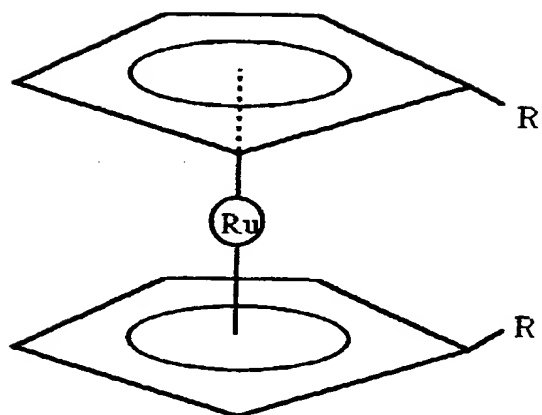
【図 3】



【図 4】

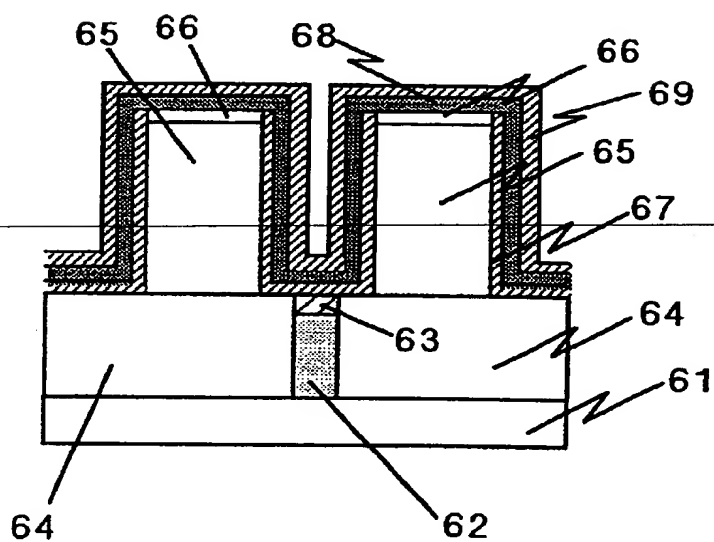


【図 5】

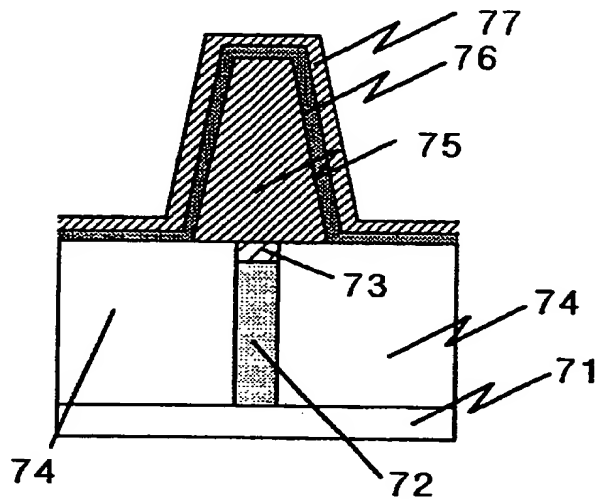


$R = H, CH_3, C_2H_5, C_3H_7$ 及び C_4H_9

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高集積に伴う高アスペクト比な素子構造で優れた段差被覆性を持つ誘電体素子を含む半導体装置及びその製造方法を提供する。

【解決手段】 シクロペンタジエニル錯体を用いたMOCVD法により180℃以上250℃以下の温度範囲において、アスペクト比3以上の凹凸な下地基板44、45上にステップカバーレッジ100%の均質なRu薄膜からなる下部電極46及び上部電極48を、間に誘電体47を挟んで形成することで高集積な誘電体素子を作製する。

【選択図】 図4

【書類名】	職権訂正データ
【訂正書類】	特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005108
【住所又は居所】	東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】	株式会社日立製作所

【代理人】

【識別番号】	100091096
【住所又は居所】	東京都港区虎ノ門1丁目17番1号 虎ノ門5森ビル3階平木国際特許事務所
【氏名又は名称】	平木 祐輔

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

THIS PAGE BLANK (USPTO)